

政府科技發展中程個案計畫書  
科技發展類前瞻基礎建設計畫

審議編號：112-1901-04-20-01

國科會

(工程技術研究發展處、自然科學及永續研究發展處、國  
家實驗研究院台灣半導體研究中心)

「Å 世代半導體-前瞻半導體及量子技術研發計畫 (3/5)」

(核定版)

計畫全程：110 年 01 月至 114 年 08 月

中華民國 111 年 08 月

## 目 錄

壹、基本資料及概述表(A003).....	1-1
貳、計畫緣起.....	2-1
一、政策依據.....	2-1
二、擬解決問題之釐清.....	2-1
三、目前環境需求分析與未來環境預測說明.....	2-4
四、本計畫對社會經濟、產業技術、生活品質、環境永續、學術研究、人才培育等之影響說明.....	2-6
參、計畫目標與執行方法.....	3-1
一、目標說明.....	3-1
二、執行策略及方法.....	3-8
三、達成目標之限制、執行時可能遭遇之困難、瓶頸與解決的方式或對策.....	3-12
四、與以前年度差異說明.....	3-17
五、跨部會署合作說明.....	3-18
六、與本計畫相關之其他預算來源、經費及工作項目.....	3-18
肆、前期重要效益成果說明.....	4-1
伍、預期效益及效益評估方式規劃.....	5-1
陸、自我挑戰目標.....	6-1

## 壹、基本資料及概述表(A003)

審議編號	112-1901-04-20-01			
計畫名稱	Å 世代半導體-前瞻半導體及量子技術研發計畫			
申請機關	國科會			
預定執行機關 (單位或機構)	國科會工程處、國科會自然處、國家實驗研究院台灣半導體研究中心			
預定 計畫主持人	姓名	李志鵬	職稱	處長
	服務機關	國科會工程處		
	電話	02-2737-7524	電子郵件	cpli2021@nstc.gov.tw
計畫摘要	<p>我國半導體產業具有全球領先的優勢，為了保持台灣半導體產業持續領先的地位，本計畫將推動下一個十年所需的前瞻元件與材料、先進製程檢測技術、量子元件次系統等技術的先期布局，探索突破現有框架的創新解決方案，本計畫將分為四個分項執行。</p> <p>分項計畫一「半導體設備：Å 尺度半導體檢測技術」與分項計畫二「關鍵材料：挑戰物理極限半導體元件材料」將開啟新的思維，以開發新穎低維半導體材料技術為基礎，並以開發關鍵元件技術為目標，期能透過挑戰物理極限的低維材料，為下世代前瞻半導體技術開啟新契機。並藉由槓桿國內學界自主研發的前瞻技術，協助我國產業在前瞻電子元件技術取得先機。未來將組成跨領域研究團隊，有效整合涵蓋物理、化學、材料、微電子、儀器技術等不同領域的研究人才，進而開發具有商業競爭性的前瞻材料元件及相關技術，為下世代前瞻材料做超前準備。整體計畫也將在半導體先進製程越發細密複雜，規格即將邁入 Å 尺度、維度降低的趨勢下，開發足以匹配的高端檢測技術，以掌握自主的領先技術。</p> <p>分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」將推動半導體產業下一個十年所需等效一奈米前瞻元件與晶片技術之先期布局，突破現有框架探索破壞性之解決方案，比照美國 DARPA 大挑戰方式，由政府投入種子基金進行先期研究，帶動後續產業之研發動能。</p> <p>分項計畫四「A 世代半導體技術：矽基量子計算次系統開發」為實現台灣第一個量子電腦系統，將開發量子計算次系統，並整合不同次系統實現量子計算功能。預計 2025 年整合各次系統呈現 2 量子位元運算，同時單量子位元保真度達 80%。</p>			
計畫目標、預	計畫目標及預期關鍵成果		與部會科技施政	

期關鍵成果及與部會科技施政目標之關聯	112 年度	113 年度	目標之關聯
	<p>目標 1：發展 Å 尺度半導體檢測技術。</p> <p>關鍵成果 1：持續補助並督導專案計畫，將材料與檢測技術提升推進至奈米以下尺度。</p> <p>關鍵成果 2：透過計畫補助，完成 1 件檢測技術移轉至產業線上量測測試。</p>	<p>目標 1：發展 Å 尺度半導體檢測技術。</p> <p>關鍵成果 1：持續補助並督導專案計畫，將材料與檢測技術提升推進至奈米以下尺度及能譜技術解析半導體特性。</p> <p>關鍵成果 2：建立整合技術，導入半導體及量測產業元件需求之實務可行整合型應用方法。</p>	<p>國科會：1.擘劃科技藍圖，引領國家科技發展</p> <p>國科會：3.營造人才沃土，厚植臺灣科研人才資本</p> <p>國科會：4.創造科研價值，回應社會需求</p>
	<p>目標 2：開發大面積低維半導體材料生長技術及元件關鍵技術。</p> <p>關鍵成果 1：持續補助並督導專案計畫，產出高品質大面積的半導體材料生長技術。由學術與產業界共同合作開發新穎材料之晶圓技術達 4 吋。</p> <p>關鍵成果 2：透過計畫補助，達成 2 件產業合作技術論文發表於指標性期刊或專利產出。</p> <p>關鍵成果 3：開發相關的元件製作關鍵技術，完成新穎低維材料的概念性驗證。</p>	<p>目標 2：開發大面積低維半導體材料生長技術及元件關鍵技術。</p> <p>關鍵成果 1：持續補助並督導專案計畫，完成產業擴散層面，由學術與產業界共同合作開發新穎材料之大於 4 吋晶圓技術。</p> <p>關鍵成果 2：透過計畫補助，達成 2 件產業合作技術論文發表於指標性期刊或專利產出。</p> <p>關鍵成果 3：研發高品質之量測與元件製作關鍵技術，進行低維材料建構 IC 元件。</p>	<p>國科會：1.擘劃科技藍圖，引領國家科技發展</p> <p>國科會：3.營造人才沃土，厚植臺灣科研人才資本</p> <p>國科會：4.創造科研價值，回應社會需求</p>
	<p>目標 3：等效 1nm 性能半導體元件與晶片技術之創新優化</p> <p>關鍵成果 1：超高密度三維積體電路技術優化。</p> <p>關鍵成果 2：極低能耗元件與運算架構技術優化。</p>	<p>目標 3：等效 1nm 性能半導體元件與晶片技術之突破領先。</p> <p>關鍵成果 1：超高密度三維積體電路技術產業擴散、指標性產業共同合作開發技術至少各一件。</p>	<p>國科會：1.擘劃科技藍圖，引領國家科技發展</p> <p>國科會：2.深耕卓越研究，打底科技研發能量</p> <p>國科會：3.營造人才沃土，厚植臺灣科研人才資本</p>

	<p>目標 4：開發量子計算次系統。</p> <p>關鍵成果 1：結合 DAC 與前端數位高速頻率合成器電路設計，進行低溫(<math>\leq 4K</math>)特性(SNR 與 SFDR)量測及分析。</p> <p>關鍵成果 2：強化第二年結果，推導並驗證低溫下線性與飽和區域的電壓電流 SPICE 模式。</p> <p>關鍵成果 3：實現 <math>^{28}</math> 矽單量子位元。</p>	<p>目標 4：開發量子計算次系統。</p> <p>關鍵成果 1：驗證控制/讀取整合微波系統晶片之信雜比與線性度。</p> <p>關鍵成果 2：建立低溫 SPICE 交/直流模式。</p> <p>關鍵成果 3：實現 <math>^{28}</math> 矽雙量子位元。</p> <p>目標 5：整合各次系統，實現量子計算。</p> <p>關鍵成果 1：整合目標 4 之各項次系統，實現 2 量子位元運算。</p> <p>關鍵成果 2：單量子位元保真度<math>\geq 80\%</math>。</p>	<p>國科會：1.擘劃科技藍圖，引領國家科技發展</p> <p>國科會：2.深耕卓越研究，打底科技研發能量</p>
<p>預期效益</p>	<p>分項計畫一和分項計畫二將投入前瞻低維半導體材料與元件關鍵技術開發。低維半導體材料(包含二維與一維半導體材料)，是目前已知可解決 3 nm 以下元件技術之重要方案之一，也是全世界先進半導體產業競逐的領域。而半導體檢測技術亦在產業中扮演極度關鍵重要的角色，超高空間解析度的影像及能譜技術將引領下世代 Å 尺度半導體製程的技術開發。本分項計畫效益包含：(1)槓桿國內學界自主研發先期前瞻技術，為我國產業在先進元件技術取得先機；(2)引導國內學界與產業共同投入基礎研究，培育基礎科研人才，為我國產業在下世代半導體元件技術奠定基礎；(3)於 Å 世代半導體元件發展中，協力開發自主領先技術。</p> <p>分項計畫三將針對半導體晶片技術的發展受限於傳統莫爾定律的極限下，在密度、效能、功耗、成本上的進步日益趨緩，無法因應當代大數據、人工智慧與物聯網在資料儲存與運算需求指數性增長之發展趨勢。需求與技術供給面的不對等可能限制半導體產業的成長動能。台灣做為全球半導體產業的領航者，為持續保持領先地位，必須戰戰兢兢，勇敢向前找路。</p> <p>分項計畫四將結合產學研之研發、設計及製作優勢，合作開發矽基量子計算次系統，期能在 2025 年呈現 2 量子位元系統，並於 2030 年時趕上歐美領先群。本分項計畫可確保台灣半導體產業的優勢，除可橫向鏈結前瞻製程、尖端材料及先進製程設備產業外，在未來將有機會可擴散至量子通訊、金融科技、AI 與機器學習、天氣預測、新藥合成模擬及 DNA 解碼等應用。</p>		

計畫群組及比重	請依群組比重填寫，需有比重最高之群組，且加總須 100%。 <input type="checkbox"/> 生命科技 ___ % <input type="checkbox"/> 環境科技 ___ % <input type="checkbox"/> 數位科技 ___ % <input checked="" type="checkbox"/> 工程科技 __80__ % <input type="checkbox"/> 人文社會 ___ % <input checked="" type="checkbox"/> 科技創新 __20__ %	
計畫類別	<input checked="" type="checkbox"/> 前瞻基礎建設計畫	
前瞻項目	<input type="checkbox"/> 綠能建設 <input checked="" type="checkbox"/> 數位建設 <input type="checkbox"/> 人才培育促進就業之建設	
推動 5G 發展	<input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否	
資通訊建設計畫	<input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否	
政策依據	1. FIDP-20210207090000 前瞻基礎建設計畫 4.7.9 Å 世代半導體-前瞻半導體及量子技術研發計畫 2. EYGUID-01110513000000 行政院 111 年度施政方針 十三、推升我國半導體及資通訊科技(ICT)產業國際競爭優勢；完善精準健康生態系及精準健康產業鏈；整合防疫科技能量、布建防疫科研平臺、培育防疫人才及奠定防疫科研磐石，建構臺灣為全球精準健康與科技防疫標竿國家。 3. PRESTSAIP-0110DG0202010000 智慧國家方案 主軸二數位創新 2.數位關鍵技術 (1)發展 Å 世代半導體。 4. PRESTSAIP-01090101010000 六大核心戰略產業推動方案 1.1 高端半導體製程技術。 5. NSTP-20210102020000 國家科學技術發展計畫(民國 110 年至 113 年) 1-2-2.培育國家重點領域人才。 6. NSTP-20210202010000 國家科學技術發展計畫(民國 110 年至 113 年) 2-2-1.超前部署重點特色領域。	
計畫額度	<input checked="" type="checkbox"/> 前瞻基礎建設額度	
執行期間	112 年 01 月 01 日 至 112 年 12 月 31 日	
全程期間	110 年 01 月 01 日 至 114 年 08 月 31 日	
前一年度預算	年度	經費(千元)
	111	439,000
資源投入	年度	經費(千元)
	110	484,000
	111	439,000
	112	346,000
	113	346,000

	114	245,000		
	合計	1,860,000		
112 年度	人事費	76,000	土地建築	0
	材料費	81,840	儀器設備	50,000
	其他經常支出	138,160	其他資本支出	0
	經常門小計	296,000	資本門小計	50,000
	經費小計(千元)		346,000	
113 年度	人事費	76,000	土地建築	0
	材料費	81,840	儀器設備	50,000
	其他經常支出	138,160	其他資本支出	0
	經常門小計	296,000	資本門小計	50,000
	經費小計(千元)		346,000	
部會施政計畫 關鍵策略目標	深耕卓越研究，打底科技研發能量；營造人才沃土，厚植臺灣科研人才資本。			
本計畫在機關 施政項目之定 位及功能	<p>半導體產業為台灣的支柱與優勢產業，奠基於過去數十年間政府與企業持續不斷投資研發所建立之領先技術。由政府投入種子基金推動高風險先期研究，國科會訂立戰略研發目標，引領台灣學界豐沛的研究能量。</p> <p>成功開發低維材料及檢測技術不僅具有科學上的突破，也可建立與產業界合作之研究團隊，透過科學議題的團隊研發操作，同時能有效整合不同領域的研究專業，在跨領域的課題上，完成具體而且前瞻的成果。這樣跨領域的整合，可以催化學研、產界的合作，提升台灣整體研究的動能與成效。而適時適機與產業界的接軌，不僅可視為「跨領域合作」宏觀視野的一環，更是創造台灣科研回應產業與社會需求的嶄新文化。</p> <p>推動下一個十年所需的等效一奈米前瞻元件與晶片技術之先期布局，探索突破現有框架之破壞性解決方案。該分項計畫的成果將進一步技轉予國內半導體產業，進行量產可行性評估，有效降低產業找路過程之風險，拉開台灣半導體技術與國際競爭者如韓國與中國等之差距。</p> <p>為跟上國際量子電腦技術發展腳步，以期實質發展台灣量子運算之應用技術與掌握台灣發展下世代半導體產業之重要契機，將結合我最具優勢之矽基半導體產業，並整合國內產學研資源，來進行關鍵技術-量子晶片-之開發，以推動未來高效能運算之晶片技術。開發量子元件技術，透過跨領域結合物理科學與工程之專家學者，全方位發展產學研合作，並與世界領先的研究團隊互補合作，以提升台灣半導體技術戰略地位，並推廣至相關產業界。</p>			
計畫架構說明	依細部計畫說明			

細部計畫 1 名稱	半導體設備：Å 尺度半導體檢測技術				
112 年度 概估經費(千元)	34,000	計畫 性質	基礎研究	預定 執行 機構	國科會 自然處
113 年度 概估經費(千元)	34,000				
細部計畫 重點描述	<p>當晶圓製程從奈米進入 Å 尺度，半導體元件的表面積與體積之比將大幅增加一個數量級，不僅內部原子，表面原子的排列、缺陷及其電子結構與引發的量子局限效應預期會對元件的運作表現產生明顯的影響。對於這些結構與量子效應，不僅光學檢測已無用武之地，傳統電子束檢測也無法完全探究。因此本計畫目標發展 Å 尺度檢測技術，其不僅具備檢測缺陷的功能，還具有解析表面原子與電子結構的能力，進而提供足夠的資訊而設計有效的 Å 尺度元件製程以提高良率。技術目標包含：</p> <ol style="list-style-type: none"> <li>1. 建立用於檢測結構與化學成份之 Å 尺度解析力的影像及能譜技術。</li> <li>2. 建立半導體與多層結構介面和表面 Å 解析度缺陷檢測分析。</li> <li>3. 規劃長遠滿足製程 in-line 的檢測需求。</li> </ol>				
主要績效指標 KPI (請填寫此細部 計畫之主要績 效指標(至多 3 項))	<p>112 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 培育 2 個跨領域研究團隊，開發關鍵檢測技術，以 Å 尺度空間解析度的影像及能譜技術解析半導體及下世代新穎材料的原子級結構、成分等特性。</li> <li>2. 完成 1 件檢測技術移轉至產業線上量測測試。</li> <li>3. 培育 25 位碩博士高階研發人才。</li> </ol> <p>113 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 培育 2 個跨領域研究團隊，開發關鍵檢測技術，以 Å 尺度空間解析度的影像及能譜技術解析半導體及下世代新穎材料的原子級結構、成分、電子結構特性。</li> <li>2. 完成 1 件檢測技術移轉至產業線上量測測試。</li> <li>3. 培育 25 位碩博士高階研發人才。</li> </ol>				
細部計畫 2 名稱	關鍵材料：挑戰物理極限半導體元件材料				



112 年度 概估經費(千元)	70,000	計畫 性質	基礎研究	預定 執行 機構	國科會 自然處
113 年度 概估經費(千元)	70,000				
細部計畫 重點描述	<p>半導體元件持續微縮的目的在於降低功耗、提升速度並增加集成密度。然而持續微縮面臨的問題包含短通道效應、元件熱效應、穿隧漏電效應以及量子現象衍伸的效應。雖然新的元件架構不斷地被提出與嘗試，傳統半導體元件仍將面臨材料本身的物理極限。本計畫開啟新的思維，以開發新穎低維半導體材料技術為基礎，並以開發關鍵元件技術為目標，期能透過挑戰物理極限的低維材料，為下世代前瞻半導體技術開啟新契機。技術終極目標包含：</p> <ol style="list-style-type: none"> <li>1. 開發大面積高品質低維半導體材料生長技術，包含：(1).高品質之低維半導體材料；(2).大面積(晶圓尺寸)生長技術等項目。</li> <li>2. 開發低維半導體元件之關鍵技術，包含：(1).低金屬接觸電阻；(2).非破壞性的材料及元件的轉移技術：轉移溫度<math>&lt; 150\text{ }^{\circ}\text{C}</math>，面積移轉率<math>&gt; 99\%</math>；(3).低維材料建構新穎三維 IC 等項目。</li> <li>3. 開發新功能性低耗能元件材料，包含：1.開發低維材料與新穎量子材料中特殊物性之操控技術(如量子傳輸效應、自旋軌道耦合等等)，建立新世代低耗能電子元件概念及操作模式可行性之評估；2.結合材料新穎物性，概念設計(conceptual design)具有產業應用潛力的新穎低耗能元件。</li> </ol>				
主要績效指標 KPI (請填寫此細部 計畫之主要績 效指標(至多 3 項))	<p>112 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 透過計畫補助，達成晶圓尺寸生長技術：中期實驗室技術達 4 吋技術</li> <li>2. 達成 2 件產業合作技術論文發表於指標性期刊或專利產出。</li> <li>3. 培育 35 位碩博士高階研發人才。</li> </ol> <hr/> <p>113 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 透過計畫補助，達成晶圓尺寸生長技術：中期實驗室技術達 4 吋技術。</li> <li>2. 達成 2 件產業合作技術論文發表於指標性期刊或專利產</li> </ol>				

	出。 3. 培育 35 位碩博士高階研發人才。				
細部計畫 3 名稱	A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索(Beyond 1 nm CMOS)				
112 年度概估經費(千元)	138,000	計畫性質	基礎研究	預定執行機構	國科會工程處
113 年度概估經費(千元)	138,000				
細部計畫重點描述	<p>整體計畫目標在開發等效一奈米性能之元件與晶片技術，挑戰密度、成本、能耗、能效較 2020 年技術達十倍或以上改善之高難度目標，激發學界提出有效的破壞性解決方案。主要推動兩大項關鍵技術開發：</p> <ol style="list-style-type: none"> <li>1. 開發高密度三維積體電路技術：CMOS 的二維微縮將趨緩，在不大幅增加晶片製作成本的前提下，晶片密度的提升必須仰賴第三維度垂直方向的延伸。將開發晶片級三維積體電路與嵌入式記憶體等技術。挑戰晶片密度與成本達等效一奈米技術指標，較 2020 現有技術達十倍之改善。</li> <li>2. 建立極低能耗開關元件與超高能效運算架構：為突破傳統電晶體元件與范紐曼運算架構的能耗與能效極限，將結合新穎材料發展極低能耗開關元件，以及邏輯與記憶體高度整合的超高能效架構。挑戰元件能耗與晶片能效達等效一奈米技術指標，較 2020 現有技術分別達五十倍與一千倍之改善。</li> </ol>				
主要績效指標 KPI (請填寫此細部計畫之主要績效指標(至多 3 項))	112 年主要績效指標：				
	<ol style="list-style-type: none"> <li>1. 超高密度三維積體電路技術優化。</li> <li>2. 極低能耗元件與運算架構技術優化。</li> <li>3. 培育 80 位碩博士高階研發人才。</li> </ol>				
113 年主要績效指標：					
<ol style="list-style-type: none"> <li>1. 超高密度三維積體電路技術產業擴散，指標性產業共同合作開發技術至少一件。</li> <li>2. 極低能耗元件與運算架構技術產業擴散，指標性產業共同合作開發技術至少一件。</li> </ol>					

	3. 培育 80 位碩博士高階研發人才。				
細部計畫 4 名稱	A 世代半導體技術：矽基量子計算次系統開發				
112 年度概估經費(千元)	104,000	計畫性質	基礎研究	預定執行機構	國家實驗研究院台灣半導體研究中心
113 年度概估經費(千元)	104,000				
細部計畫重點描述	<p>為實現多位元量子計算系統，將開發以下三項次系統，並在低溫環境下整合各次系統，主要工作項目如下：</p> <ol style="list-style-type: none"> <li>1. 開發 cryo-CMOS 量子位元控制/讀取電路晶片次系統：完成適用於多矽量子位元控制/讀取電路。</li> <li>2. 建立台灣第一個 cryo-CMOS 元件之低溫 SPICE 模型，以供驅動量子位元低溫電路系統設計之用。</li> <li>3. 研製 <sup>28</sup>Si 矽量子位元元件：製作多量子點元件，量子點數目 ≥ 5；建立 <sup>28</sup>Si 同位素純化磊晶技術，以提升量子計算保真度。</li> <li>4. 打造量子電腦系統：實現 2 量子位元邏輯閘計算；單量子位元之保真度 &gt; 80%。</li> <li>5. 與國內其他量子計算團隊合作，整合本計畫開發之矽基量子計算次系統與其他不同量子位元物理系統，以實現多位元量子電腦系統雛形。</li> </ol>				
主要績效指標 KPI (請填寫此細部計畫之主要績效指標(至多 3 項))	<p>112 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 高速頻率合成器電路設計及驗證。</li> <li>2. 推導並驗證低溫下線性與飽和區域的電壓電流 SPICE 模式。</li> <li>3. 完成 3 個矽量子點元件製作。</li> </ol> <p>113 年主要績效指標：</p> <ol style="list-style-type: none"> <li>1. 控制/讀取微波系統整合晶片設計及驗證。</li> <li>2. 建立低溫 SPICE 交/直流模式。</li> <li>3. 完成 5 個矽量子點元件製作。</li> </ol>				

前一年計畫或相關之前期計畫名稱	前一年計畫為 Å 世代半導體-前瞻半導體及量子技術研發計畫(2/5)		
前期主要績效	<p>110 年度主要績效如下：</p> <p>1. 技術面：補助 17 群研究團隊執行研究計畫，共計發表國內外期刊及會議論文 140 篇，另國內外專利申請 7 件。相關技術亮點如下：</p> <p>(1).清大研究團隊：利用 in-situ TEM 觀測技術觀察銅燈絲以及氧空缺在氧化鈮電阻轉換層中形成過程並建立電阻轉換機制，此研究成果發表在 Advanced Electronic Materials，並獲選為十月份期刊封面故事。</p> <p>(2).清大研究團隊：發展憑藉 PE-SM 的特性，它在光學尖峰下成功的實現兩端點突觸反饋功能。此外由 24 × 24 PE-SM 組成的模擬尖峰神經網絡進一步呈現在無監督機器學習環境中，通過 Hebbian 規則執行圖像識別。相關研究成果發表於 Advanced Functional Materials 國際期刊。</p> <p>(3).陽明交大研究團隊進行鐵電氧化鉛銻鍺式電晶體之於記憶體研究，具有高速及大記憶窗口鐵電鍺式電晶體於高密度記憶體之研究，並榮獲 2021 年 9 月 IEEE Electron Device Letters(IEEE EDL)封面論文。</p> <p>(4).已建立台灣第一個低溫(~ 4 K)CMOS SPICE 模型及完成 4K 混訊及射頻電路晶片 4K 溫控系統量測環境建置。</p> <p>2. 產業面：促成 11 件產學合作研究計畫。</p> <p>3. 人才培育：共計培育碩博士高階人才 327 人。</p>		
跨部會署計畫	<input type="checkbox"/> 是 <input checked="" type="checkbox"/> 否		
合作部會署 1	112 年度經費 (千元)		
	113 年度經費 (千元)		
負責內容	總字數 300 字內		
合作部會署 2	112 年度經費 (千元)		
	113 年度經費 (千元)		
負責內容	總字數 300 字內		
中英文關鍵詞	<p>全方位系統解決方案、低維材料、超高密度三維積體電路技術、極低能耗元件與運算架構、低溫互補式金氧半場效電晶體、矽基量子計算</p> <p>systematic solution, low-D materials, Ultrahigh density 3D integrated circuit technology, Ultralow energy devices and computing architectures, cryo-CMOS, Si-based Quantum Computing</p>		

計畫連絡人	姓名	潘敏治	職稱	副研究員
	服務機關	國科會工程處		
	電話	02-27377983	電子郵件	mcpan@nstc.gov.tw

註 1

- 年度目標應敘明計畫預定達成的最終結果，關鍵成果則說明了如何衡量年度目標是否達成，兩者之間須有嚴謹的邏輯關係。
- 為聚焦投入目標，建議不超過 5 個為原則、每個目標對應的關鍵成果，建議最多以 3 個為原則。
- 關鍵成果的撰寫方式可從思考將「目標」轉化為「如何完成」的表述切入，每個關鍵成果都很「關鍵」，一個關鍵成果不能完成，目標就不可能完成。

● 目標撰寫公式與範例

◇ 建議公式：

What (回答要做什麼?)，Why(解釋為什麼要做)

[副詞]+動詞+[形容詞+名詞]，[動詞+名詞]

◇ 範例

目標=動詞+名詞 (例: 防堵非洲豬瘟)

目標=動詞+形容詞+名詞 (例: 打造旗艦產品)

目標=副詞+動詞+名詞 (例: 成功促進產品外銷)

目標=What(動詞+名詞)+Why(動詞+名詞) (例: 開發疫苗，強化流感防疫)

● 關鍵成果撰寫公式與範例

◇ 建議公式：

How (如何做)，How much(實現什麼)

透過[措施]+實現[可度量的結果]

◇ 範例

1. 關鍵成果=措施+可度量的結果

(例: 透過法規輔導，完成 4 件產品海外上市)

(例: 透過補助產學合作案，完成 4 件可進行試量產的產品開發)

(例: 透過補助，完成當年度流感疫苗開發與生產)

(例: 透過驗證場域建置，完成 4 件符合國際標準的產品試驗證)

2. 關鍵成果=可度量的結果

(例: 所有養豬場未檢驗出非洲豬瘟)

● 好目標的特徵

◇ 明確的行動方向 (用動詞指明行動方向，不要用協助、參與、支持等責任不明確的動詞)。

◇ 責任範圍是可控的 (例如打造全球最好的產品，可能達不到)。

◇ 在指定週期內是可以完成的 (如「完成概念設計」是可以完成的，「打造優秀團隊」雖也可以完成，但需要由 KR 來界定有沒有完成)。

◇ 精簡。

● 好關鍵成果的特徵

◇ 符合 SMART 原則 (Specific, Measurable, Attainable, Relevant, Time bound)。

◇ 基於價值 (由過去「任務導向」轉為「價值導向」，比起過去列出過程產出，改列出「具有價值的成果」)。

是關鍵的 (對完成目標而言是重要的，訂定時要思考為什麼要完成這個成果)。

## 貳、計畫緣起

### 一、政策依據

1. FIDP-20210207090000 前瞻基礎建設計畫 4.7.9 Å 世代半導體-前瞻半導體及量子技術研發計畫
2. EYGUID-01110513000000 行政院 111 年度施政方針 十三、推升我國半導體及資通訊科技(ICT)產業國際競爭優勢；完善精準健康生態系及精準健康產業鏈；整合防疫科技能量、布建防疫科研平臺、培育防疫人才及奠定防疫科研磐石，建構臺灣為全球精準健康與科技防疫標竿國家。
3. PRESTSAIP-0110DG0202010000 智慧國家方案 主軸二數位創新 2.數位關鍵技術 (1)發展 Å 世代半導體。
4. PRESTSAIP-01090101010000 六大核心戰略產業推動方案 1.1 高端半導體製程技術。
5. NSTP-20210102020000 國家科學技術發展計畫(民國 110 年至 113 年) 1-2-2.培育國家重點領域人才。
6. NSTP-20210202010000 國家科學技術發展計畫(民國 110 年至 113 年) 2-2-1.超前部署重點特色領域。

### 二、擬解決問題之釐清

半導體產業為台灣的支柱與優勢產業，根據台灣半導體產業協會(TSIA)統計顯示：2019 年台灣半導體 IC 業產值達新台幣 2.66 兆元，占台灣 GDP 比重達 15%。我們在晶圓代工產業產值全球第一，市占率超過七成；IC 設計產業產值全球第二(僅次於美國)，市占率近二成；IC 封測產業產值全球第一，市占率超過五成。全球舉足輕重台灣半導體產業鏈，因此成為國家經濟與安全的基石。我們現在卓越的成績決不僥倖，奠基

於過去數十年間，有遠見政府與企業持續不間斷的投資，研發領先技術並培養一流的人才。放眼未來，當代大數據、人工智慧、物聯網的快速發展使得半導體的需求有增無減，研究指出人類每年的資料產生量呈快速的指數性增長，預計於 2025 年達 175 ZB(需要 1750 億個 1TB 硬碟機方能儲存)。另外，人工智慧所需的龐大運算量每三到四個月就會倍增，因此，台灣半導體產業的未來發展性仍相當大，今日的領先地位也格外值得珍惜。

低維半導體材料是突破元件持續微縮所面臨的物理極限重要方案，而低維材料的新穎物性亦提供了開發新世代低耗能元件的新契機。尤其是電子元件在奈米尺度下，在通道與金屬接觸間的焦耳熱、能量耗損、元件過熱、穿隧漏電效應等都是目前面臨的挑戰。然而，低維半體材料在合成技術、元件技術，尤其是高品質與晶圓尺寸的合成技術，以及金屬接觸電阻問題仍然有許多瓶頸。此外，在低維半導體材料中以置換性摻雜精準控制通道之臨界電壓，並藉由控制閘極界面態使電荷載子以能帶傳輸的機制降低散射與能量耗損，亦是極需克服的關鍵技術障礙。新穎低維材料方面，新的元件概念仰賴對低維材料的本質或外在性質具有更深入的了解，且必須解決材料功能化、結構製作以及元件檢測的技術瓶頸。

量子電腦因其量子疊加和量子糾纏特性，可使得量子計算具有量子平行性，可解決現今超級電腦不能解決的問題如金融加密、天氣預測、新興疾病所需之大量生化分子模擬，製藥等應用，基於量子電腦的巨大潛在價值與商業利益，世界各先進國家都在積極整合各方面研究力量和資源，投入大量資源進行初期研究。同時，國際高科技資訊公司如 Google、IBM、Microsoft、Intel 等也積極投入量子電腦的研究，目前有數種物理系統及方案，仍很難說哪一種方案具有絕對的優勢，但普遍仍是

認為固態系統的超導約瑟夫森結量子位元方案和半導體矽量子點量子位元兩種方案，較有可能進行大規模位元數目之量子電腦製造，也更適合積體電路化和小型化。以目前台灣具有世界級的半導體晶片產業，產業鏈完整且具有頂尖的研發實力，非常適合進行矽基量子元件的研究與量子電腦的設計。

目前全世界的量子位元團隊，均著眼於量子位元之物理科學及原型技術開發，對於量子位元所需之關鍵技術如量子信號之操作及讀取等，仍是使用非常原始的技術，未來將無法實現大規模位元之量子電腦，因此，本計畫將進行跳躍性的研究開發，將重心擺在大規模量子位元之量子電腦系統所需的 cryo(極低溫，零下 269 °C)CMOS 系統晶片開發，製作可與不同量子位元物理平台結合之低溫整合平台，不須以外部控制線路進行量子電腦之操作，而將大型電子設備藉由晶片技術之開發，縮小至能與量子位元元件整合。此一前瞻構想目前仍無任何團隊實現，僅 Intel 公司似以此目標做為未來的研究主軸，惟其研究經費每年以數億美元投入，若台灣要在此量子競賽中成功佔有一席之地，並作為未來這個世紀的領先霸主，實需儘快投入足夠的資源進行先期的原型技術開發。

在本計畫中，我們透過目前台灣半導體研究中心(TSRI)所開發之先進標準製程，預計利用奈米線場效電晶體開發前瞻量子元件，藉由過去本實驗室多年來厚植的關鍵半導體晶片製作技術能力，多年來已與國內外半導體業者共同進行的關鍵製程技術開發，並有許多世界級的成果發表，而面臨科技日新月異的進步，以及歐美日韓等國在半導體下世代的新興科技研發以投入強大的資源，過去 TSRI 年度業務預算編列之研究與技術服務規模，已無法在開發量子科技等新興技術的競賽中提供足夠的資源，若循一般預算編列規模與方式，則量子計算之相關服務平台建立將可能在 10 年後才能提供各界使用，其發展先機已失。台灣將於量子科



技的競賽舞台中消失，因此，此項專案計畫實有其迫切性與必要性。

### 三、目前環境需求分析與未來環境預測說明

解決這些技術瓶頸，必須有效整國內各領域的專家，涵蓋物理、化學、材料、微電子等不同領域的研究人才，以突破性的創新方法，為這些技術瓶頸尋找新的解決方案。本計畫規劃於第一期(2021-2025)，在實驗室技術可以獲得重要進展，並規劃在第二期(2026-2028)，陸續達成各階段性的技術指標，最後階段希望能達成與台灣半導體產業共同合作研發，將研發的技術導入產業應用，再進一步提昇技術及規模化，最終目標協助產業發展具競爭力的關鍵技術。

目前，我們領先優勢並非全無挑戰，一方面中國與韓國傾全國之力扶植半導體產業，另一方面半導體元件的傳統微縮方式逐漸接近其物理極限，未來的技術發展有很大的不確定性，如沒有破壞性的技術突破，預期未來的半導體技術很有可能無法持續降低功耗以滿足更多樣的運算需求，製造成本也無法有效隨著技術的推進而下降。這將大幅降低半導體元件微縮的經濟動機，進而扼殺整體半導體產業的動能。在這個前無去路、後有追兵的關鍵時刻，如果台灣希望十年後仍能保有今日在半導體產業鏈的優勢，絕不能原地踏步，躑躅不前，唯有透過更積極的投入先進半導體技術研發，勇敢向前找路，方能迎向柳暗花明的未來！放眼2030年，半導體技術將走向等效一奈米技術，相較2020年最先進的五奈米量產技術，其密度、效能、功耗、成本需要有至少十倍以上的改善，但目前無論學界或業界尚無明確的解決方案，各種可能技術百花齊放，需要平行評估，投入研究所需的資源多且風險大。在這樣高度不確定的議題上，政府的科研能量可以扮演更積極的角色，引領台灣學界豐沛的研究能量解決關鍵問題，帶動後續產業之研發動能，有效拉開台灣半導體技術與國際競爭者如韓國與中國等之差距。

目前高效能計算(high performance computing, HPC)均是利用 CMOS 元件製作結合傳統的電腦架構，但隨著各項終端計算裝置如個人電腦、手機、平板等使用量大增，對於計算的需求量呈現指數成長，此問題雖然可透過大量設置資料中心以處理大增的資料量，但所需成本很高，且對於環境、暖化與能源來說，都會產生更劇烈的負面影響，因此，對於新興處理資料之計算系統的需求與日俱增。此外，人類目前面臨到更多前所未有的難題，如新興疾病(2020年的 COVID-19)、氣候變遷(暖化或颱風預測)、金融科技、製藥科技(愛滋病或肝炎)、地球科學(火山地震預測)，以傳統的高速運算架構已漸漸入不敷出。最後，所有計算資料都有安全性的問題，傳統的加密法越來越不足以保護各項資料的安全性，因此也需要有新的技術能提供更安全的資料傳輸。

基於上述的環境需求分析，科學界目前提出來最有機會做為未來的解決方案，即是利用量子電腦。量子電腦概念於 20 年前提出，主要是針對可進行質因數分解問題進行超高效能的運算，隨後電腦科學家透過結合量子演算法，預測量子電腦能解決傳統高速電腦永遠解不出來問題，隨後學術界即一些業界先驅開始投入此領域。到了最近五年，由於個人資料量提升，量子電腦已從科幻電影進入大家日常生活常聽到的話題。最早實際被投入應用的量子電腦由 IBM 研發以超導迴路技術的 5 個量子位元構成，而 50 個量子位元是一個深具意義的里程碑，這代表著超越現有任何超級電腦可以達到的運算能力，象徵量子霸權(quantum supremacy)時代的來臨。目前 IBM 已十分接近這個目標，建造出 50 量子位元的原型機(Associated Press, 2017)，Google 的團隊也緊追在後，2017 年 11 月的自然期刊中，MIT、Harvard、Cal Tech 的合作團隊和 Maryland 大學的量子運算中心也分別用不同的技術達到 50 個量子位元的運算系統(Peter Reuell, 2017)；中國大陸在 2017 年底宣布將投資一百億美元成立新的量子電腦中

心，預計在 2020 年開始運作(Brian Wang, 2017)。日本也加入國際量子競賽，宣布免費提供量子類神經網路服務，並將投資 2 億 6 千 7 百萬美元，在 2018 年開始十年量子研發計畫(Tiffany Trader, 2017)。

這些量子計算技術雖然都在科學上被驗證，但對於大型量子計算環境而言，仍以固態系統的發展較為可行如超導體或半導體，這也是 Intel 於 2017 年投入半導體量子位元開發的主因，半導體雖然目前位元較少，但其量子信號的同調時間較超導體長，可達成較高的量子計算保真度(fidelity)，達到較高的運算效能；此外，矽製程即為成熟，而超導體製程技術仍無相關產業，對於未來發展而言，半導體仍具有相當程度優勢。2020 年 Intel/Delft 團隊與澳洲 UNSW 團隊更達到了 1.5 K 下的高保真度量子計算，而超導體僅能在 mK 溫度下運作，這對於製作成本與系統效能來說，更加強了矽量子計算的後勢。最後，或許產業應用來說可能也是最重要的，操控量子計算所需的千萬個邏輯元件，仍需以 CMOS 元件。因此若使用超導體製作，將不如矽基量子元件來得更加容易整合，因此我們預測未來的量子電腦環境，將有可能是矽基系統逐漸趕上，並有可能成為未來商用量子電腦的基礎架構。

#### 四、本計畫對社會經濟、產業技術、生活品質、環境永續、學術研究、人才培育等之影響說明

1. 本計畫對於人才培育之影響：藉由補助專題研究計畫，培育半導體相關領域人才，以供業界研發人力需求。
2. 本計畫對於學術研究的影響：提供充足資源讓計畫研究人員，勇於創新，以產出具突破性的研究成果。
3. 本計畫對於產業技術、社會經濟等的影響：學術研究為產業技術發展及經濟成長的基礎，臺灣半導體產業乃是「鎮國之寶」，對經濟成長有很大貢獻，讓半導體產業繼續帶領臺灣的經濟成長，以促進經濟整體

的發展。

4. 台灣的半導體產業聚落相當完整，其產出對於台灣經濟面的影響一日千里，正所謂有「台灣護國神山」企業之稱，及式說明半導體產業的重要性。而此計畫旨在半導體晶片製作技術開發近乎極限的時間點，提供了半導體產業未來可能的長期發展方向，打造半導體新世代量子技術，將有助於提升台灣在此產業面的競爭與社會經濟發展。
5. 由於量子計算牽涉到的產業技術十分廣泛，如材料成長、半導體奈米製程技術、微波高頻技術、數位/類比整合系統晶片、低溫技術、及EDA/演算法等，本計畫作為第一個完整結合各項技術的先行者，對於未來產業技術的發展將埋下智慧的種子，未來可將技術發展的經驗傳接到產業技術進行技轉、專利等開發。
6. 學術研究部分，目前台灣已有數個團隊進行量子位元物理系統的科學研究，本計畫重心為結合量子位元物理系統與控制/讀取晶片，並整合所有系統開發出一套原型量子電腦，將可與其他學術團隊緊密結合，達成如三倍卷般的加乘效果。
7. 人才培育部分，相關研究工作推動有多位女性技術服務人員及合作團隊之女性理工科學生參與，並鼓勵產學研有志於半導體領域的優秀人才與女性學員能投入相關領域研究。而參與此計畫之成員預計將透過此計畫參與國際研討會發表，並至世界領先團隊進行移地研究，不但可從中吸取經驗，更可藉由本團隊技術開發之進步，與國際團隊進行互補式合作，增加能見度，以達到後期投入，中期超車，遠期成為世界領先的目標。

## 參、計畫目標與執行方法

### 一、目標說明

我國半導體產業具有全球領先優勢，為了保持台灣半導體產業持續領先的地位，本計畫「Å 世代半導體-前瞻半導體及量子技術研發計畫」將推動下一個十年所需的前瞻元件與材料、先進製程檢測技術、量子元件次系統等技術的先期布局，探索突破現有框架的創新解決方案。本計畫將分為四個分項計畫執行，包含 Å 尺度半導體檢測技術、挑戰物理極限半導體元件材料、次奈米半導體元件與晶片關鍵技術探索、矽基量子計算次系統開發。本計畫將培植下世代半導體技術所需之尖端研發人才，預計能培育領先研究團隊 17 群，參與計畫教師 70 人，碩博士生 160 人。

本計畫以「科學超前佈署」的創新思維，規劃分項計畫一「半導體設備：Å 尺度半導體檢測技術」與分項計畫二「關鍵材料：挑戰物理極限半導體元件材料」進行跨領域研究開發。以開發新穎低維半導體材料技術為目標，開發關鍵元件技術為基礎，期能挑戰物理極限低維材料，為下世代前瞻半導體技術開啟新契機。此外，藉由槓桿國內學界自主研發的前瞻技術，協助我國產業在前瞻電子元件技術取得先機。未來將組成跨領域研究團隊，整合涵蓋物理、化學、材料、微電子、儀器技術等不同領域的研究人才，進而開發具有商業競爭性的前瞻材料元件及相關技術，為下世代前瞻材料做超前準備。整體計畫也將在半導體先進製程越發細密複雜，規格即將邁入 Å 尺度、維度降低的趨勢下，開發足以匹配的高端檢測技術，以掌握自主的領先技術。

台灣晶圓代工產值全球排名第一，居全球領導地位，先進製程已邁入 7 奈米以下，隨著技術的精進，製程進入 Å 尺度指日可待。半導體元件持續微縮的目的在於降低功耗、提升速度並增加集成密度。然而持續

微縮面臨的問題包含短通道效應、元件熱效應、穿隧漏電效應以及量子現象衍生的效應，使得半導體元件是否能依據摩爾定律持續微縮充滿挑戰。根據國際元件與系統技術藍圖(International Roadmap for Devices and Systems, IRDS)於 2018 年所修正的技術藍圖，電晶體技術預期會在 2023 年由目前的魚鰭式場效電晶體(Fin Field-Effect Transistor, FinFET)技術轉換到閘極全環(Gate-all-Around, GAA)電晶體技術，到達 2023 年技術節點，元件通道厚度的實際尺寸將會達到 6 nm，如表 1 所示。雖然新的元件架構不斷地被提出與嘗試，傳統矽/矽鍺電晶體元件仍將面臨材料本身的物理極限。低維半導體材料，包含二維與一維半導體材料，是目前已知有機會可解決 3 nm 以下元件技術節點之重要方案之一，也是全世界先進半導體產業爭相部屬的領域。此外，低維材料所具有的新穎物性，對於開發新世代低耗能元件極具潛力。

表 1、IRDS 2018 國際半導體技術之藍圖

YEAR OF PRODUCTION	2018	2020	2022	2025	2028	2031	2034
	G54M36	G48M30	G45M24	G42M21	G40M16	G40M16T2	G40M16T4
Logic industry "Node Range" Labeling (nm)	"7"	"5"	"3"	"2.1"	"1.5"	"1.0 eq"	"0.7 eq"
IDM-Foundry node labeling	i10-f7	i7-f5	i5-f3	i3-f2.1	i2.1-f1.5	i1.5e-f1.0e	i1.0e-f0.7e
Logic device structure options	FinFET	finFET	finFET LGAA	LGAA	LGAA VGAA	LGAA-3D VGAA	LGAA-3D VGAA
Mainstream device for logic	finFET	finFET	finFET	LGAA	LGAA	LGAA-3D	LGAA-3D
<b>LOGIC TECHNOLOGY ANCHORS</b>							
Patterning technology inflection for Mx interconnect	193i, EUV	193i, EUV DP	193i, EUV DP	193i, High-NA EUV	193i, High-NA EUV	193i, High-NA EUV	193i, High-NA EUV
Beyond-CMOS as complimentary to mainstream CMOS	-	-	-	2D Device, FeFET	2D Device, FeFET	2D Device, FeFET	2D Device, FeFET
Channel material technology inflection	Si	SiGe25%	SiGe50%	Ge, 2D Mat	Ge, 2D Mat	Ge, 2D Mat	Ge, 2D Mat

半導體檢測是 IC 產業中極度關鍵的一環，對改善晶片的製程與提高生產良率扮演重要的角色。因此隨著 Å 尺度半導體世代的來臨，半導體檢測技術也應隨之提升。除了具備傳統的電子束檢測內部缺陷的功能，也應具有達到原子尺度的空間解析、局域電子結構量測的能力，甚至元素解析能力，以因應製程進入 Å 尺度，元件的運作表現受到量子尺寸效應和表面效應如表面能帶彎曲、表面粗糙度、表面缺陷的影響所衍生的問題。Å 尺度的元件製程將有可能包含零維的量子點、一維的奈米線和

二維的奈米片等低維度材料以克服元件中顯現短通道效應與表面粗糙度引發的漏電流問題。低維度材料通常由於獨特的電子結構而顯現有別於塊材的物理特性

，但其電子結構極易受環境因素，如應力、吸附物而改變，其整合在元件中也將影響元件的運作表現。因此，Å 尺度檢測技術也應具備探測這些低維度材料之原子與電子結構之功能。這些需求不僅傳統的光學檢測無法達到，傳統電子束檢測也無法完全因應。

有鑑於此，本計畫將致力於開發原子級解析度檢測技術，以備未來之需。本計畫目標發展 Å 尺度檢測技術，其不僅具備檢測缺陷的功能，還具有解析元素、表面原子與電子結構的能力，進而提供足夠的資訊而設計有效的 Å 尺度元件製程以提高良率。目前能達到原子級解析度量測的技術主要為掃描穿透式電子顯微鏡(STEM)和掃描探針顯微鏡(SPM)。掃描穿透式電子顯微鏡能夠探測材料整體結構，同時能進行能譜量測，解析化學元素與電子結構，但易有電子束破壞試片之現象；掃描探針顯微鏡則解析表面結構，不會破壞材料結構，而且掃描探針顯微鏡中的掃描式穿隧顯微術(STM)的掃描穿隧光譜(STS)功能能進行電子結構量測，可間接解析化學成分。光學技術不具破壞性，也能進行能譜量測解析化學成分，但空間解析難以達到原子尺度。上述技術皆有其優點與限制，如何放大其優勢，降低其限制，是本分項計畫目前需要創新突破之處。分項計畫一將規劃以 STEM 和 SPM 之現有優勢做為半導體檢測技術的發展平台，探索 Å 尺度空間解析度技術，線、面、點缺陷檢測、以至於發展新穎具元素指紋的能譜技術等面向檢測功能，以達到全方位系統解決方案的目標。

分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」的核心目標為推動半導體產業下一個十年所需前瞻元件與晶片

技術之先期布局，開發 2030 年所需之「GAME 超高密度與能效之等效一奈米積體電路技術」。採用美國 DARPA Grand Challenge 的方式，由政府投入種子基金，突破現有框架，挑戰密度、成本、能耗、能效較 2020 年最先進的五奈米量產技術達十倍或以上改善之高難度目標，激發學界提出破壞性之創新解決方案。GAME 平台主要包含兩大項關鍵技術開發：

- (1). 開發高密度三維積體電路技術：CMOS 的二維微縮將趨緩，在不大幅增加晶片製作成本的前提下，晶片密度的提升必須仰賴第三維度垂直方向的延伸。預計開發晶片級三維積體電路與嵌入式記憶體等技術，挑戰晶片密度與成本達等效一奈米技術指標。
- (2). 建立極低能耗開關元件與超高能效運算架構：為突破傳統電晶體元件與范紐曼運算架構的能耗與能效極限，預計結合新穎材料發展極低能耗開關元件，並研究邏輯與記憶體高度整合的超高能效架構。

學界開發之先期元件與晶片技術成果將技轉予國內半導體產業，進行量產可行性評估，有效降低產業找路過程之風險，預期能吸引業界合作或技轉投入下世代半導體技術研究計畫 5 件，投入超過 20,000 千元研發經費。

為達成台灣第一個量子電腦系統，台灣半導體研究中心將透過分項計畫四「A 世代半導體技術：矽基量子計算次系統開發」開發三大次系統(1)開發 cryo-CMOS 量子位元操控/驅動/讀取電路晶片次系統；(2)建立 cryo-CMOS 元件與電路模型；(3)研製<sup>28</sup> 矽量子位元元件，各次系統的目標如下：

- (1) 開發 cryo-CMOS 量子位元操控/驅動/讀取電路晶片次系統

目前控制及量測量子位元訊號的方式，是透過冷卻於極低溫之量子晶片和在室溫下之電子儀器中以導線連接，這些電纜導線將隨著量子位元數目增加而越來越多及複雜，不適用於未來要實現『量子霸權』系統



中成千上萬個量子位元的操控及讀取。因此，若能將這些操控及讀取功能從儀器設備微小化成 IC 晶片，並置於低溫環境( $\leq 4$  K)，便能就近與量子位元連接，不需要一堆電纜導線連接於低溫系統及操控/讀取儀器設備之間。

目前全球在量子電腦的研究，不只加速量子位元系統的開發，為實現未來 full-scale 量子電腦系統，國際許多知名軟硬體公司及研究機構，包括 IBM、Google、Intel、Leti、IMEC 等，已投入大量資源佈局 cryo-CMOS 量子位元操控/驅動/讀取電路晶片領域，並於 2019 年及 2020 年陸續發表成果於國際頂尖元件與電路系統會議如 IEDM 及 ISSCC。台灣的世界頂尖半導體產業是發展矽基量子電腦最重要的優勢，全球於此領域剛起步的情形下，結合產學研於量子位元、低溫量測及微波/混訊電路技術的能量，加速發展適用於矽基量子點、超導量子位元或其他量子位元系統之 cryo-CMOS 操控/驅動/讀取電路晶片技術，短期以發展頻率範圍 1~20 GHz 之控制電路規格目標，長期再往更高速、寬頻及低功耗發展，讓量子電腦 cryo-CMOS 晶片設計、製造及封裝能於台灣扎根，並讓台灣於未來量子電腦晶片市場佔有一席之地，不僅具有戰略半導體晶片技術，也創造可觀產值。

## (2) 建立 cryo-CMOS 元件與電路模型

為設計能在極低溫操作之電子電路，我們必須先萃取元件模型。現有 SPICE 元件模型如 BSIM、EKV、HiSIM、PSP 等皆為室溫左右之操作而設計。欲利用這些模型，除須修改參數外，元件模型公式皆須更改，電路設計軟體如 HSpice 之內建模型並不適用，本計畫參考 EPFL 之 C. Enz 團隊於 2018 年發表於 IEEE Journal of Electron Device Society 研究成果，預計自行修改傳統模型，並以 Verilog-A 實作，修改 EKV 電晶體模型，以利電路之 SPICE 模擬。

### (3) 研製 <sup>28</sup>矽量子位元元件

製作矽基量子元件的挑戰之一為改善自旋相干時間(coherent time)，當環境有核自旋，核自旋將和量子位元電子自旋產生交互作用，進而影響並減少相干時間，導致量子訊息的散失和運行量子算法時出現錯誤。因為自然界有 4.67%的 <sup>29</sup>矽具有核自旋，將影響量子位元的相干時間與保真度，因此國際領先團隊(Intel/Delft、USNW、Princeton)皆積極開發 <sup>28</sup>矽同位素純化磊晶技術與量子位元元件。利用陣列或是奈米線量子點，可擴展量子位元的規模，由於量子點元件具有多層閘極，製作極為困難。本計畫將開發製作 <sup>28</sup>矽量子位元元件，預期於 2025 年整合各次系統 demo 2 量子位元運算，同時單量子位元保真度達 80%。

#### 計畫全程總目標(end point)

##### 分項計畫一「半導體設備：Å 尺度半導體檢測技術」

1. 建立用於檢測結構與化學成份之 Å 尺度解析力的影像及能譜技術。
2. 建立半導體與多層結構介面和表面 Å 解析度缺陷檢測分析。
3. 規劃長遠滿足製程 in-line 的檢測需求。

##### 分項計畫二「關鍵材料：挑戰物理極限半導體元件材料」

1. 開發大面積高品質低維半導體材料生長技術，包含：
  - (1).高品質之低維半導體材料；
  - (2).大面積(晶圓尺寸)生長技術等項目。
2. 開發低維半導體元件之關鍵技術，包含：
  - (1).低金屬接觸電阻；
  - (2).非破壞性的材料及元件的轉移技術：轉移溫度 < 150 °C，面積移轉率 > 99%；
  - (3).低維材料建構新穎三維 IC 等項目。
3. 開發新功能性低耗能元件材料，包含：

- (1).開發低維材料與新穎量子材料中特殊物性之操控技術(如量子傳輸效應、自旋軌道耦合等等)，建立新世代低耗能電子元件概念及操作模式可行性之評估；
- (2).結合材料新穎物性，概念設計(conceptual design)具有產業應用潛力的新穎低耗能元件。

#### 分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」

1. 開發高密度三維積體電路技術：挑戰晶片密度與成本達等效一奈米技術指標，較 2020 現有技術達十倍之改善。
2. 建立極低能耗開關元件與超高能效運算架構：挑戰元件能耗與晶片能效達等效一奈米技術指標，較 2020 現有技術分別達五十倍與一千倍之改善。

#### 分項計畫四「A 世代半導體技術：矽基量子計算次系統開發」

1. 開發 cryo-CMOS 量子位元操控/驅動/讀取電路晶片次系統：完成適用於矽基量子點或超導量子位元之 cryo-CMOS 控制/驅動/讀取微波電路晶片；
2. 建立 cryo-CMOS 元件與電路模型：建立 CMOS 元件之低溫模型；建立 CMOS 系統晶片所需之低溫 SPICE 模型。
3. 研製 <sup>28</sup>Si 矽量子位元元件：製作多量子點元件，量子點數目 $\geq 5$ ；建立 <sup>28</sup>Si 同位素純化磊晶技術，以提升量子計算保真度。
4. 打造量子電腦系統：實現 2 量子位元邏輯閘計算；單量子位元之保真度 $>80\%$ 。

## 二、執行策略及方法

請描述如何以細部計畫落實上述目標與預期關鍵成果，並撰寫執行策略。執行策略可向下分作子項計畫、執行計畫逐層說明。

細部計畫名稱	執行策略說明(請依細部、子項計畫逐層說明)
半導體設備： $\text{\AA}$ 尺度半導體檢測技術	<p>當晶圓製程從奈米進入 <math>\text{\AA}</math> 尺度，半導體元件的表面積與體積之比將大幅增加一個數量級，不僅內部原子，表面原子的排列、缺陷及其電子結構與引發的量子局限效應預期會對元件的運作表現產生明顯的影響。對於這些結構與量子效應，不僅光學檢測已無用武之地，傳統電子束檢測也無法完全探究。因此本計畫目標發展 <math>\text{\AA}</math> 尺度檢測技術，其不僅具備檢測缺陷的功能，還具有解析表面原子與電子結構的能力，進而提供足夠的資訊而設計有效的 <math>\text{\AA}</math> 尺度元件製程以提高良率。</p>
關鍵材料：挑戰物理極限半導體元件材料	<p>半導體元件持續微縮的目的在於降低功耗、提升速度並增加集成密度。然而持續微縮面臨的問題包含短通道效應、元件熱效應、穿隧漏電效應以及量子現象衍伸的效應。雖然新的元件架構不斷地被提出與嘗試，傳統半導體元件仍將面臨材料本身的物理極限。本計畫開啟新的思維，以開發新穎低維半導體材料技術為基礎，並以開發關鍵元件技術為目標，期能透過挑戰物理極限的低維材料，為下世代前瞻半導體技術開啟新契機。</p>
A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索	<p>為推動半導體產業下一個十年所需前瞻元件與晶片技術之先期布局，開發 2030 年所需之“GAME 超高密度與能效之等效一奈米積體電路技術”。以補助專題計畫方式執行，GAME 平台主要包含兩大項關鍵技術開發(1)超高密度三維積體電路技術；(2)極低能耗元件與運算架構。</p>
A 世代半導體技術：矽基量子計算次系統開發	<ol style="list-style-type: none"> <li>1. 以台灣半導體技術優勢，切入關鍵量子晶片技術開發。</li> <li>2. 藉由國研院台灣半導體中心累積 30 年的產學鏈結機制與技術服務能量，結合跨領域物理、電子電機工程的研究團隊，建立 cryo-CMOS 次系統晶片，整合不同量</li> </ol>

	<p>子次系統，展示量子計算功能。</p> <p>3. 以上述技術團隊為基礎，建立台灣量子研究生態體系，進而與國際相關領域研究接軌。</p> <p>4. 推動與 UNSW、IMEC 等國際指標型研究單位合作研究，鏈結半導體人才培育計畫，培訓開發下世代量子元件技術人才。</p>
--	--

### 分項計畫一「半導體設備：Å 尺度半導體檢測技術」

本分項計畫一的目的是在發展 Å 尺度的檢測技術，使其同時具備解析原子尺度的結構、電性以及缺陷的能力。預期透過計畫補助，培育 2 個跨領域研究團隊，開發關鍵檢測技術，以 Å 尺度空間解析度的影像及能譜技術解析半導體及下世代新穎材料的原子級結構、成分、電子結構特性。完成 2 件檢測技術移轉至產業線上進行量測。本計畫的技術指標目標包含：

- (1) 建立用於檢測結構與化學成份之 Å 尺度解析力的影像及能譜技術。
- (2) 建立半導體與多層結構界面和表面，達成 Å 解析度的缺陷檢測分析。
- (3) 規劃長遠滿足製程 in-line 的檢測需求。

對以上技術目標再進行擴充說明，(1)分析半導體表面與界面的原子級結構，特別是線缺陷(>1 nm)及面缺陷的分析及檢測達 Å 尺度；(2)化學成份分析達 Å 尺度；(3)挑戰點缺陷檢測鑑定及分析；(4)發展新穎具元素指紋(finger print)的顯微能譜(micro-spectroscopy)技術。

此計畫最重要之技術含量，在於符合半導體產業之材料及元件檢測需求，技術開發將包含奈米至 Å 尺度的相關顯微能譜術及元素指紋分析，例如解析奈米尺度的應力分佈，可利用掃描穿隧顯微術與拉曼光譜結合的探針增強拉曼光譜術。在掃描穿隧顯微術中探針掃描表面量取形貌的同時，將光源聚焦至探針前端，如此可局部增強探針下的表面因光所產生的拉曼訊號。由於拉曼訊號對應力十分敏感，因此可在探針掃描同時得到表面應力分佈影像。另於掃描穿透顯微術亦可與電子能量損失能譜結合達到應力

分佈之檢測需求。此類技術成份將持續盤點並列入於計畫徵求及計畫執行時之重點規劃。

### 分項計畫二「關鍵材料：挑戰物理極限半導體元件材料」

有鑑於低維材料在前瞻元件的應用潛力，本計畫以「科學超前佈署」的思維，將透過計畫補助，引導學界組成跨領域研究團隊，有效整合涵蓋物理、化學、材料、微電子等不同領域的研究人才，針對低維半導體材料合成技術、元件關鍵技術以及低維材料在新世代低耗能元件應用進行研究與開發，期能透過挑戰物理極限的低維材料，以及探索低維材料的新穎物性，突破現有半導體元件的框架，為下世代前瞻半導體技術探索新契機，並藉由槓桿國內學界自主研發的前瞻技術，協助我國產業在前瞻電子元件技術取得超前佈署先機。

計畫目標透過本計畫補助，目標培育 4 個跨領域研究團隊，為大面積低維半導體材料生長、元件關鍵技術及新穎低耗能元件之技術瓶頸提供解決方案。本計畫也將引導研究團隊與產業界合作，共同開發關鍵性技術，目標達成至少 3 件具開創性的產業合作技術論文發表於指標性期刊或專利產出。所培育的研究團隊。擬達成之技術目標包含：

1. 開發大面積高品質低維半導體材料生長技術：終極目標是由學術與產業共同開發大於 4 吋晶圓技術，並考量實際產業面需求，挑戰目標 8-12 吋為產業主導合作開發。
2. 開發低維半導體元件之關鍵技術：低維材料與晶片整合，展示低維半導體元件在 BEOL (Back End of Line) 之操作。
3. 開發新功能性低耗能元件材料：開發低維材料與新穎量子材料中特殊物性之操控技術(如量子傳輸效應、自旋軌道耦合等)，建立新世代低耗能電子元件概念及操作模式可行性之評估。結合材料新穎物性，概念設計(conceptual design)具有產業應用潛力的新穎低耗能元件。

### 分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」

本計畫預計開發之等效一奈米技術我們稱之為「GAME 超高密度與能效之等效一奈米積體電路技術」，其中 G 指的是 Gate 邏輯閘，A 指的是 Architecture 架構，M 指的是 Memory 記憶體，E 指的是 Ultralow-Energy device 極低能耗元件，四者為等效一奈米積體電路技術的基石。我們進一步將 GAME 區分成兩大項關鍵技術開發：超高密度三維積體電路技術與極低能耗元件與運算架構。高密度三維積體電路技術的目標是最終於 2030 年能將晶片上的邏輯閘與記憶體密度較 2020 年現有技術提昇十倍，並在增加單位晶圓製造成本下，使單位電路的面積縮小、單價有效降低，延續莫爾定律的經濟誘因。極低能耗元件與運算架構則是為解決目前晶片能耗過高且能效無法滿足高運算量之大數據處理需求，開發極低能耗開關元件與超高能效運算架構，最終於 2030 年能將元件能耗與晶片能效較 2020 年現有技術提昇五十倍與一千倍。

### 分項計畫四「A 世代半導體技術：矽基量子計算次系統開發」

本分項計畫將預期於 2025 年整合三項次系統 demo 2 量子位元運算，內容包含三個工作項目：(1)開發 cryo-CMOS 量子位元操控/驅動/讀取電路晶片次系統、(2)建立 cryo-CMOS 元件與電路模型、(3)研製 <sup>28</sup>Si 量子位元元件。本分項計畫的工作項目內容說明如下：

#### 1. 開發 cryo-CMOS 量子位元操控/驅動/讀取電路晶片次系統

- (1) 結合高速 DAC 與前端數位單邊帶調變技術，以進行高速頻率合成器電路設計及其於低溫測特性(SNR 與 SFDR)分析，並優化高速轉阻放大讀取電路晶片。
- (2) 驗證單一通道頻率合成電路技術之信噪比與線性度，以滿足量子位元保真度之要求。
- (3) 結合高精度頻率產生電路技術與低失真高速類比多功器以執行分

時多功多量子驅動電路之特性量測(SNR 與 SFDR)，並與分頻多功架構作功耗與性能之比較，以決定未來多量子位元驅動電路所採用之最終架構。

## 2. 建立 cryo-CMOS 元件與電路模型

- (1) 建立低溫下的電晶體電特性元件直流模型，包含次臨界電流曲線斜率模式、線性電流區的電阻模式、載子遷移率模式、垂直電場效應、小尺寸臨界電壓效應以及飽和電流區的特性長度效應等。
- (2) 持續根據晶圓廠所提供的設計文件以及前年度所製造生產的積體電路進行修改，繼續設計出可建立元件交/直流電流模式的測試積體電路(Testkey)並交由晶圓廠製造生產。

## 3. 研製 $^{28}\text{Si}$ 基量子位元元件

- (1) 利用無液氦稀釋致冷量測系統量測  $^{28}\text{Si}$  量子點元件於極低溫環境之電特性，在  $^{28}\text{Si}$  量子點中呈現 Coulomb blockade，確認單電子進出量子點行為。
- (2) 利用無液氦稀釋致冷量測系統，以外接微波線路連結  $^{28}\text{Si}$  量子點元件，改變量子點之電子自旋狀態，並透過單電子電晶體偵測量子點內的電子自旋狀態，預期 demo Rabi oscillation，驗證系統於基態與激發態之週期性躍遷機率。

## 三、達成目標之限制、執行時可能遭遇之困難、瓶頸與解決的方式或對策

### 分項計畫一「Å 尺度半導體檢測技術」

目前的檢測技術於分析 Å 尺度材料的物理化學能力，仍有很大的瓶頸限制及關鍵問題待克服，本分項計畫一旨在於建立用於檢測結構與化學成份之超高空間解析度的影像及能譜技術。掃描穿透式電子顯微鏡結合電子損失能譜儀，雖在氧化物中已可達成 Å 尺度之顯微能譜(spectral imaging)分



析，應用於半導體中尚有若干問題待探索，羅列如下：

1. Å 尺度電子顯微能譜之達成，極度仰賴高品質顯微分析樣品。半導體樣品製備常用之聚焦離子束(focused ion beam)，會系統性於樣品表面留下十數奈米厚之非晶質層，使得電子束難以聚焦至待測原子上，造成 Å 尺度結構解析難以達成。
2. 產生電子損失能譜的非彈性散射電子，因本身攜帶動量資訊，故造成特色非侷域性(electronic delocalization) [K. Kimoto et al., *Nature* 450, 702 (2007)]。特色激發能量越高，動量轉移跟著越大，對應的非侷域長度(delocalization length)就越短，一般來說，約 500 電子伏特激發能量對應到約 1 Å 的非侷域長度。換句話說，Å 尺度電子顯微能譜之達成，有賴 Å 尺度電子束以及高能量激發特性能譜，後者將是先天性物理限制條件。
3. 高能量電子束的相對論性效應。掃描穿透式電子顯微鏡之電子束可達 0.55~0.7 倍光速，穿過材料時，相對論性效應對低能量激發頻段多體物理之影響不可忽略，將形成另一先天性物理限制。

對應上述前兩項問題之策略如列：(1)導入最新去非晶質層技術，雖然技術上已有相關設備問世，但台灣學界尚無經驗。(2)開發高能量激發能譜對應之電子顯微學，可涵蓋兩個面向：特性 X 光能譜學、高能量電子損失能譜軟硬體整合。兩者皆需時日測試。於掃描式探針顯微術的技術瓶頸方面有以下兩項需要待探索及解決：

- (1) 傳統的電子束檢測中，入射電子與二次電子都是在無場空間中行進。但在 STM 中，探針與表面之間會有複雜的電場分佈，二次電子產生後的行進軌跡會與在無場空間中相當不同，於是在 STM 中置入有效收集二次電子或散射電子裝置的相對位置應謹慎考量

，需經由模擬與數值分析再決定。

- (2) 由於 STM 探針具有原子級的尖銳度，其最前端會有強電場( $\sim 0.3$  V/Å)，再加上溫度效應會使尖銳度無法維持固定，進而造成電子束的電流穩定度下降而影響二次電子影像的品質。解決方式是將探針降至低溫以減低尖銳度變動的頻率。但降溫也會產生溫度梯度而使探針與表面之間有較大的相對漂移，此問題可用 STM 控制系統進行修正解決。

### 分項計畫二「挑戰物理極限半導體元件材料」

隨著半導體元件的微縮，元件通道厚度也不斷的變薄。如圖 2 所示，當通道層厚度小於 3 nm 時，載子在傳統的矽鍺半導體通道中將無法有效的傳輸。然而二維半導體材料，如二硫化鉬(MoS<sub>2</sub>)與二硫化鎢(WSe<sub>2</sub>)，僅有原子層的厚度(約 0.7 nm)，材料的載子遷移率卻仍可達 20-200 cm<sup>2</sup>/V·s。也因此，低維半導體材料被認為是解決 3 nm 以下元件技術之重要方案之一。然而，二維半導體元件對於與目前晶片技術的整合仍有相當大落差，並且存在許多關鍵技術瓶頸。

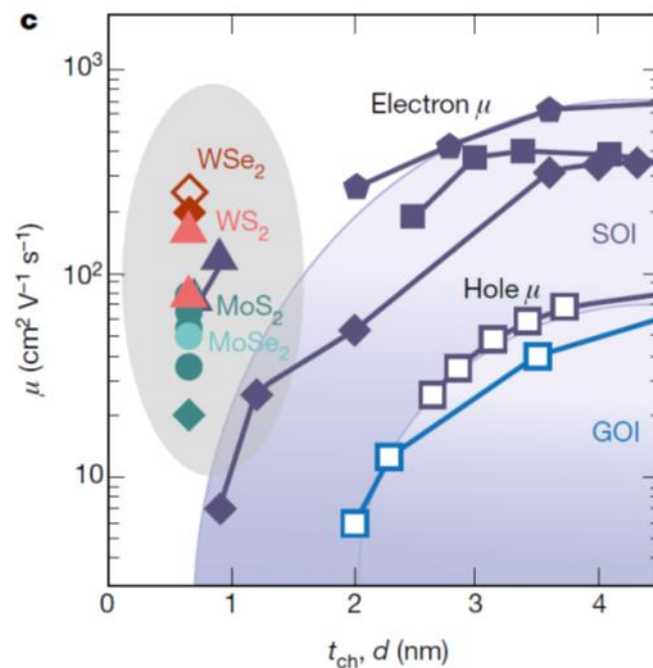


圖 2、傳統半導體與二維半導體中載子遷移率隨著通道層厚度的變化。  
[*Nature* 573, 507-518 (2019)]

在材料之合成與生長技術方面，目前已知可以透過化學氣相沉積等技術合成二維材料，但材料結構與缺陷之控制技術仍待開發，且材料載子遷移率仍待提升。此外，大面積生長技術仍尚未成熟，尤其是能達到產業應用等級的晶圓尺寸的生長技術。在元件技術方面，目前面臨最大問題仍然是二維半導體與金屬之間的接觸電阻過高，進而使二維半導體在元件的發展受到限制。圖 3 是各類通道層材料的金屬接觸電阻與通道載子濃度的關係圖。目前大部分二維材料的金屬接觸電阻約在 1-10  $k\Omega\cdot\mu m$  的範圍。近期的理論與實驗研究結果顯示二維半導體接觸電阻透過最佳化可達 200  $\Omega\cdot\mu m$  以下，若載子濃度可達  $1\times 10^{13} \text{ cm}^{-2}$ ，預期接觸電阻將可以達到 100  $\Omega\cdot\mu m$  以下，已經接近接觸電阻的物理極限(如圖 3 虛線)。此外，非破壞性的材料及元件的轉移技術，以及與晶片整合的技術仍然需要進一步開發。

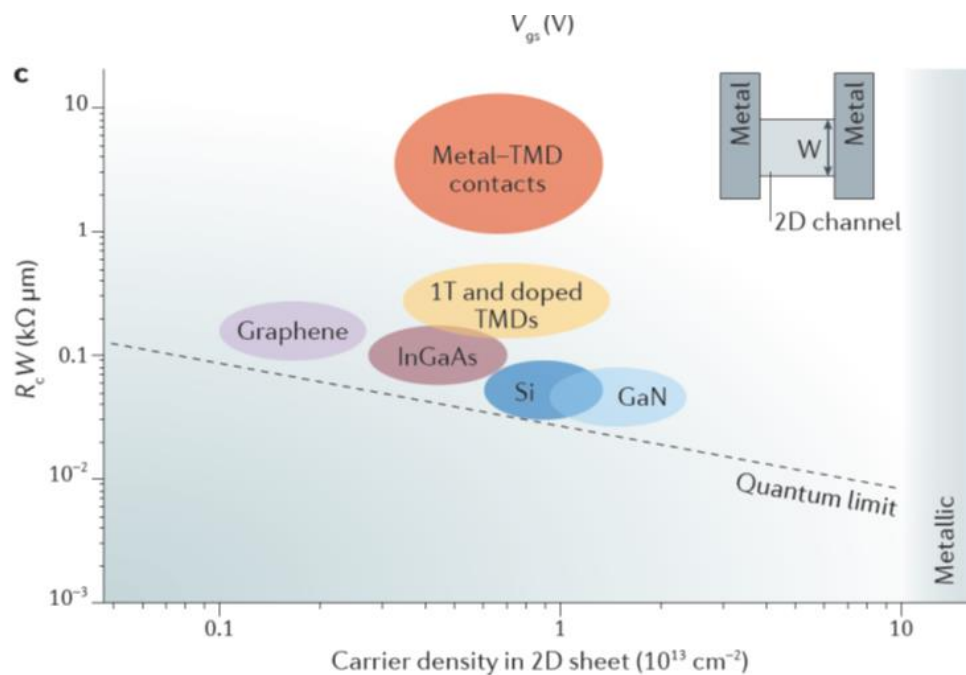


圖 3、各類通道層材料的金屬接觸電阻與通道載子濃度的關係圖。  
[*Nat. Rev. Mater.* 1, 16052 (2016)]

目前已知的低維材料不僅具有半導體性，性質亦涵蓋金屬性、絕緣性、

磁性、鐵電性、超導性以及拓樸性等。近期許多研究指出部分半導體材料因電子強關聯現象而導致絕緣-金屬之轉換。也有部分金屬性(或半金屬性)二維材料具有超導性與電荷密度波。而半金屬性的二維材料則是可能具有拓樸物質的特性，存在異常的電子傳輸性質，甚至存在非傳統的超導態。最近研究也發現許多二維磁性材料，其鐵磁與反鐵磁性與層數以及層間作用有關。這些低維材料性質的新穎性與多樣性，對於開發新世代低功耗元件極具潛力。這些新穎的物理特性可能帶來科技的突破，但如何開發相對應的操控技術是一大挑戰，若能進一步與低耗能電子元件的開發結合，深具產業價值。

### 分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」

本分項計畫包含兩大項關鍵技術開發：

1. 超高密度三維積體電路技術：CMOS 的二維微縮將趨緩，在不大幅增加晶片製作成本的前提下，晶片密度的提升必須仰賴第三維度垂直方向的延伸。預計開發晶片級三維積體電路與嵌入式記憶體等技術，挑戰晶片密度與成本達等效一奈米技術指標。
2. 極低能耗元件與運算架構：為突破傳統電晶體元件與范紐曼運算架構的能耗與能效極限，預計結合新穎材料發展極低能耗開關元件，並研究邏輯與記憶體高度整合的超高能效架構，挑戰元件能耗與晶片能效達等效一奈米技術指標。

然而上述技術目前無論學界或業界尚無明確的解決方案，各種可能技術百花齊放，需要平行評估，投入研究所需的資源多且風險大。在這樣高度不確定的議題上，政府的科研能量可以扮演更積極的角色，引領台灣學界豐沛的研究能量解決關鍵問題。預期採用美國 DARPA Grand Challenge 的方式，由政府投入種子基金，突破現有框架，挑戰密度、成本、能耗、能效較 2020 年最先進的五奈米量產技術達十倍或以上改善之高難度目標，

激發學界提出破壞性之創新解決方案。

#### 分項計畫四「A世代半導體技術：矽基量子計算次系統開發」

分項計畫四「A世代半導體技術：矽基量子計算次系統開發」執行上所要解決的技術瓶頸分述如下：

1. 低溫系統建置：TSRI 過去專注於元件製程，對於低溫物理及相關量測經驗較缺乏。目前已與有低溫物理經驗之合聘研究員共同執行此計畫，同時亦將於計畫開始即新聘低溫博士級人才，未來將可增加 TSRI 在低溫系統之能力，並可衍生相關服務平台。
2. CMOS 的低溫模型與線路設計：由於目前學界與業界均無低溫 CMOS 模型可參考，本計畫將透過下單先進半導體廠製作 40 nm 或 28 nm 節點的 CMOS，並結合 TSRI 之低溫量測結果，建置初期的低溫模型，未來並考慮與業界合作共同開發。
- (3). 「量子計算能力與正確率之提升」。要克服此問題，計畫執行單位「台灣半導體研究中心」將建置 28Si 同位素純化磊晶製程平台，克服外界環境干擾問題，延長量子位元存活時間以完成資訊有效讀取；增加量子位元數目；以及精準之量子低雜訊控制信號產生電路。

#### 四、與以前年度差異說明

年度 項目	110	111	112	113	114
研究團隊 養成(群)	17(實際)	12	12(預估)	12(預估)	12(預估)
高階人才 培育(人數)	327(實際)	160(目標)	140(目標)	140(目標)	140(目標)
將檢測技術移 轉至產業線上 量測測試(件數)	0(實際)	1(目標)	1(目標)	1(目標)	1(目標)
專利產出 (當年新增件數)	8(實際)	4(目標)	5(目標)	5(目標)	3(目標)

年度 項目	110	111	112	113	114
產學合作案 (當年新增件數)	11(實際)	3(目標)	2(目標)	3(目標)	2(目標)
低維半導體材 料生長技術之 實驗室晶圓尺 寸生長技術(吋)	0(實際)	2(目標)	4(目標)	4(目標)	4(目標)
超高密度三維 積體電路實驗 雛形驗證技術 (件)	0(實際)	1(目標)	1(目標)	1(目標)	1(目標)
製作 <sup>28</sup> 矽量子 位元元件(位元)	0(實際)	0(目標)	1(目標)	2(目標)	2(目標)

#### 五、跨部會署合作說明

無

#### 六、與本計畫相關之其他預算來源、經費及工作項目

無

(請依 112、113 年度拆分說明)

預算來源	經費(千元)	工作項目
科技發展		
公共建設		
基本需求 (部會施政+社會發展)		
其他(如作業基金)		

## 肆、前期重要效益成果說明

### 一、分年度重要執行成果

110 年度重要成果與效益如下：

1. 補助 17 群研究團隊執行研究計畫，共計發表國內外期刊及會議論文 140 篇，另國內外專利申請 8 件，重要研究成果如下：

- (1). 清大研究團隊利用自製 FIB 針狀載台製作可進行三維影像拍攝之針狀樣品。此次製作出鱗式鐵電記憶體為第一次鐵電記憶體整合在先進節點製程，並完整探討其讀寫速度、讀寫次數、儲存時間等可靠度分析，並得利於鱗式電晶體結構，具有 100 ns 的高切換(讀寫)速度。相關研究成果發表於 IEEE Electron Device Letters 國際期刊。
- (2). 台大研究團隊以創新散射同調干涉方式讓奈米粒子本身的散射光與受光照射生熱造成的光散射兩者干涉，提高靈敏度，可以偵測到直徑僅有 5 奈米的粒子。相關研究成果發表於 ACS Photonics 國際期刊。
- (3). 清大研究團隊發展無皺摺的單層二維材料轉移技術，透過操控轉移介質混合物比例的潤濕性的轉印(AWAT)方法降低轉移形成的褶皺密度，轉移製成的電晶體電子遷移率達平均 $\approx 20\text{-}35\text{ cm}^2/\text{V}\cdot\text{s}$ ，較僅用去離子水轉移大 30 倍。
- (4). 陽明交大研究團隊成功利用濕式轉印的方式將 Flake 轉貼在一平方英寸 SiO<sub>2</sub>/Si 基板上，再選用本實驗室開發的一道式光罩製程，可以快速量產晶片需求，用 contact aligner 曝光機成功製備出極佳電特性的 MoS<sub>2</sub> 薄膜電晶體。
- (5). 台大研究團隊開發可承受 400°C 熱製程之磁穿隧接面薄膜(MTJ film)，與 CMOS 後段繞線製程溫度(400°C)相容，優於 IMEC 發表的

300°C (2019 VLSI)及 Intel 發表的 390oC (2020 VLSI)。此外薄膜的 TMR 可達 100%。

- (6). 台大研究團隊完成下一代 SRAM-based CIM macro 之設計與晶片製作，其中包含兩項關鍵技術：(1)最小化 ADC 轉換之額外能量損耗與面積成本；(2) Embedded input sparsity sensing，可節省 33.7%的能量使用效率。提出 CIM energy-aware bit-wise pruning 機制，相較於以往 CIM weight-wise pruning (2021 TCAD)，能在相同模型大小下，提升 3%準確率以及減少 33%能源消耗 (Verified by CIM simulation platform - NeuroSim from Georgia Tech)，可有效降低 CIM(記憶體內運算)能源消耗。
  - (7). 陽明交大研究團隊進行鐵電氧化鉛銻鍺式電晶體之於記憶體研究，具有高速及大記憶窗口鐵電鍺式電晶體於高密度記憶體之研究，並榮獲 2021 年 9 月 IEEE Electron Device Letters(IEEE EDL)封面論文。
  - (8). 清大研究團隊完成密度達 0.1 Gbit/mm<sup>2</sup> 電阻式記憶元下線。
  - (9). 初步建立台灣第一個低溫 CMOS SPICE 模型。
  - (10). 完成多量子位元(multi qubits)控制電路架構評估，選擇分頻多工 (Frequency Division Multiplexing, FDM)方式。
  - (11). 完成高速數位轉類比轉換器(DAC)設計模擬及下線製作。
  - (12). 利用傳統 SiH<sub>4</sub> 氣體完成矽量子井結構磊晶測試，為 <sup>28</sup>矽磊晶技術預作準備。
2. 促成 11 件產學合作研究計畫。
  3. 人才培育：共計培育碩博士高階人才 327 人。其中半導體檢測技術領域共培育 33 位碩博士生；元件材料領域共培育 117 位碩博士生；元件與晶片領域共培育 177 位碩博士生。

## 二、重大效益：



- (1). 在半導體元件與晶片關鍵技術領域，台大研究團隊執行高密度高效能半導體之關鍵元件與智慧架構開發，研究高堆疊鍺矽奈米線電晶體(highly stacked GeSi nanowires, SpineFET)，獲 Nature Electronics 期刊新技術報導；並受邀投稿至頂級期刊 Transactions on Electron Devices (TED)且已被接受。
- (2). 建置低溫之混合訊號及射頻電路晶片量測環境及技術，未來可供產學研團隊進行低溫之數位、類比及射頻電路量測及驗證，可避免國家科技預算重複投資，亦節省產學低溫晶片量測摸索時間，提供產學研界完整之低溫電路晶片量測技術解決方案。
- (3). 建立低溫之數位、類比及射頻電路設計及模擬技術，藉由技術互補與學術團隊合作的方式，於低溫量測環境下驗證 cryo-CMOS 電路晶片功能及特性，來加速建立台灣自主之量子電腦次系統電路晶片。

### 三、里程碑達成情形

補助重點專案計畫，建立學術界聯合重點開發實驗室推展 Å 世代半導體前瞻科學及技術研究。規劃及進行檢測技術、材料開發評估及等效一奈米關鍵元件與電路技術探索，藉由理論及實驗專家學者的合作，包括理論、模擬、計算與實驗組的搭配，進行理論模擬與數值分析計算的概念驗證。

1. 分項計畫一「半導體設備：Å 尺度半導體檢測技術」，已核定補助 3 組研究團隊，研究 Å 尺度高速掃描穿透式電子顯微能譜分析及原子級三維材料量測技術，計畫執行里程碑說明如下。
  - (1). 台大研究團隊開發掃描式熱影像電子顯微術以獲得樣品的溫度解析度 1K，空間解析度 50 奈米。目前已成功獲得樣品的熱吸收影像，並精確量化不同種樣品對電子束的絕對熱吸收率。同時，配合蒙地卡羅模擬計算，探討樣品的表面形貌對熱吸收率的關係。在排除表

面形貌等之影響後，首度建立樣品的原子序與熱吸收率的關係，並成功用此方法偵測到輕元素或化合物。

- (2). 清大研究團隊成功利用像差修正掃描穿透式顯微鏡搭配電子斷層掃描重組技術來進行 finFET 之三維影像解析。使用聚焦離子束顯微鏡 (FIB) 將這個 finFET 製作成一厚度小於 100 nm 的柱狀樣品，並放置在自製的銅製樣品底座上。從重組完成的三維立體影像中可以清楚看到此樣品的金屬閘極的形貌及空間中有那些缺陷。
2. 分項計畫二「關鍵材料：挑戰物理極限半導體元件材料」，已核定補助 4 組研究團隊，研究次奈米二維場效電晶體關鍵材料、大面積二維材料製程/設備開發、非矽原子層通道材料及低維度新穎材料，計畫執行里程碑說明如下。
- (1). 交大研究團隊達成缺陷密度  $< 1 \times 10^{12} \text{ cm}^{-2}$  階段性目標，以化學氣相沉積生長 MoSe<sub>2</sub> 於單晶 Au(111) 表面，形成磊晶介面及具高度方向性排列晶域。原子解析影像顯示極低之點缺陷密度  $1.6 \times 10^{10} \text{ cm}^{-2}$ 。
  - (2). 清大研究團隊於二維材料成長與轉移上，已經完成 2 平方公分面積之完整單層 WS<sub>2</sub> 的成長，目前在嘗試減少缺陷的產生並測試 WSe<sub>2</sub> 大面積單層成長參數。在轉移製程方面，繼續測試其他複合高分子的轉移，並設計滾動式轉移設備進行較大面積的單層轉移。
  - (3). 國研院儀科中心研究團隊目前已完成實驗室與研究型 CVD 系統建置並完成使用單位教育訓練，同時以平台形式開放合作單位進行預約使用，透過氣態反應方式提高二維材料沉積品質，協助國內產學研單位能佈局下世代半導體製程與設備產業，將國內半導體設備能力再升級。
  - (4). 中央研究團隊引入 CVD 製程進行選擇性單晶 2D 通道材料的圖案化成長，並進行接觸金屬與 2D 材料之界面結構與電性分析。

3. 分項計畫三「A 世代半導體技術：次奈米半導體元件與晶片關鍵技術探索」，核定補助 10 組研究團隊，執行等效一奈米關鍵元件與電路技術之理論探索。搭配材料、元件、電路之 TCAD 理論模擬能力建立，評估達 2030 年終極目標可行性，計畫執行里程碑說明如下。
- (1). 陽明交大研究團隊採用 1.27 Mb Macro size，具有高度的運算平行度，最大的資料流量 (throughput) 可以達到 133.5 TOPS 的高計算量，而 CIM macro 的 SRAM cell VDD 採用 0.27 V 的低電壓，可以有效降低 CIM macro 的漏電流 88.4%與 RBL 電流，達成低功耗運算。
  - (2). 陽明交大研究團隊進行研製 planar 和 FinFET 鐵電元件，為鐵電薄膜性能驗證基本架構。
  - (3). 台大研究團隊已提出 CIM AD/DA 非理想性覺察之訓練機制，相較於以往 Output Calibration 的方式，能在 AD/DA 非線性效應的影響下，有效提升 35.4%(軟體模擬準確率)。
  - (4). 陽明交大研究團隊發展多位元(Multi bit)電阻式記憶體之高性能寫入技術，利用 Range Dependent Adaptive Resistance 技術且結合粗調節和細調節的機制，可以快速、節能的進行多阻態 RRAM 陣列寫入。此研究減少寫入脈衝次數達 2.4 倍，可應用於本計畫將來實現多位元記憶體的操作。
  - (5). 清大研究團隊實現非揮發性三維堆疊鎖存器，對比傳統的 CMOS 鎖存器，非揮發性三維堆疊鎖存器可以在相同的面積之下，大幅提升邏輯閘的密度。
4. 分項計畫四「A 世代半導體技術：矽基量子計算次系統開發」由 TSRI 進行量子次系統開發，目前已完成高速數位轉類比轉換器 (DAC) 電路於 4 K 環境下量測：目前團隊已完成 DAC 電路設計、佈局、模擬及下線製作及特性量測。SFDR(spur-free dynamic range)在

所有頻段均可以達到 53 dB 以上，換算量子位元之保真度為 99.99% 以上。利用晶圓廠製作之 40-nm 電晶體元件，TSRI 皆能成功地模擬出與實驗數據極為吻合的曲線，同時在不同溫度下，而將電晶體的臨界電壓對溫度作圖可發現擬合曲線比晶圓廠提供的 SPICE 模型更加地準確。

## 伍、預期效益及效益評估方式規劃

### 一、預期效益

#### 1. 技術面部分：

- (1) 建立大面積高品質低維半導體材料生長技術，解決低維半導體元件技術瓶頸，開發新世代功能性元件材料操作模式與設計。
- (2) 建立 Å 尺度空間解析度的影像及能譜技術，解析半導體及下世代新穎材料的原子級結構、成分、電子結構特性。
- (3) 超高密度三維積體電路技術亮點技術至少一件，補足等效一奈米技術之關鍵技術缺口。
- (4) 極低能耗元件與運算架構技術亮點至少一件，補足等效一奈米技術之關鍵技術缺口。
- (5) 呈現能應用於量子電腦之 cryo-CMOS 電路次系統，補足關鍵技術缺口。
- (6) 實現台灣第一個 2 量子位元之量子電腦原型系統。

#### 2. 人才面部分：

- (1) 培育基礎科研與尖端研發人才，為我國產業在下世代半導體元件技術奠定基礎，以提升國內前瞻研發能量。
- (2) 培育國內在 Å 尺度之半導體及檢測專業研發與工程人才，使其具備物理、化學、材料與電機等跨領域專業之能力。
- (3) 培育量子電腦在 cryo-CMOS 電路次系統設計及驗證研發人才，提供未來產學研界需求。

#### 3. 產業面部分：

- (1) 槓桿國內學界自主研發先期前瞻技術，為我國產業在先進元件技術取得先機。

- (2) 於計畫中期邀請半導體製造公司加入研發，與現有 Si 製程進行整合，並與上游設備公司合作開發相關製程設備，使製程得以放大並測試製程良率。
- (3) 檢測技術從 Å 尺度做為出發點，可避免後續製造損失成指數性增長。成功掌握此端技術者，將具有極大優勢來推展 Å 世代的元件。
- (4) 學界開發先期元件與晶片技術成果將技轉予國內半導體產業，進行量產可行性評估，有效降低產業找路過程之風險。
- (5) 發展量子電腦未來 cryo-CMOS 電路次系統晶片設計及量測驗證技術，並與國內 IC 設計公司合作導入關鍵技術，於世界上佔有量子電腦晶片市場一席之地，創造可觀之產值。
- (6) 吸引半導體或晶片設計廠商參與計畫執行，促成學術界、法人及產業界合作鏈結進行晶片、系統與產品設計，以提升產業界技術及競爭力。

## 二、效益評估方式規劃

### 1. 技術面：

技術面指標詳如主要績效指標 KPI，將以計畫追蹤輔導方式進行推動及協調。由研究團隊產出之技術成果於指標期刊之發表或專利產出，以及相關的研討會發表，驗證預期達成之前瞻技術目，以及評估是否達預期目標。

### 2. 人才面：

- (1) 培育領先研究團隊、計畫教師與碩博士生。
- (2) 鏈結世界領先團隊進行移地研究，以加速技術開發，並與國內其他學研團隊合辦相關會議，可作為未來人才資料庫。

3. 產業面：

- (1) 藉由計畫團隊與業界合作共同研發之項目評估成果是否具延展性，可做為未來潛力先導技術。
- (2) 吸引業界合作或技轉投入下世代半導體技術研究計畫，投入技術研發經費。

## 陸、自我挑戰目標

### 一、112 年度自我挑戰目標

1. 大面積(晶圓尺寸)生長技術開發達 4 吋晶圓。
2. 低維半導體元件之金屬接觸電阻達到  $< 500 \Omega \cdot \mu\text{m}$ 。
3. 開發關鍵檢測技術，以  $\text{\AA}$  尺度空間解析度的影像及能譜技術解析半導體及下世代新穎材料的原子級結構、成分等特性。
4. 等效一奈米關鍵元件與電路技術之創新優化。優化超高密度三維積體電路技術與極低能耗元件與運算架構創新技術，達具有產業評估價值之技術能力。
5. 完成初版 SPICE 超低溫元件之交流電性模型。
6. 完成單一通道頻率合成電路。
7. 以外接微波線路連結  $^{28}\text{Si}$  量子點元件，改變量子點之電子自旋狀態，呈現 Rabi oscillation。

### 二、113 年度自我挑戰目標

1. 大面積(晶圓尺寸)生長技術開發大於 4 吋晶圓。
2. 低維半導體元件之金屬接觸電阻達到  $< 50 \Omega \cdot \mu\text{m}$ 。
3. 開發關鍵檢測技術，以  $\text{\AA}$  尺度空間解析度的影像及能譜技術解析半導體及下世代新穎材料的原子級結構、成分、電子結構特性。
4. 產業共同參與等效一奈米關鍵元件與電路技術研發。尋求產業界技術夥伴參與，加速研發團隊開發，並有效縮短產業導入新技術之時程。
5. 完成單一量子位元操控/讀取微波系統整合晶片。
6. 呈現兩量子位元計算，單量子位元之保真度達 80%。